

6.25 Gb/s 串行数据接收器设计

田 啸,何燕冬

(北京大学 微电子研究院,北京 100871)

摘 要:设计一款基于 65 nm CMOS 工艺、数据传输速率在 6.25 Gb/s 的 SerDes 接收器,其中均衡电路采用连续时间线性均衡器;采样电路采用了一种新型灵敏放大器,较传统结构将灵敏度提升了一个量级,同时解决了传统结构输出信号下降沿比上升沿慢一个门延迟的问题;时钟数据恢复电路(CDR)采用半速率采样二阶 CDR 系统实现.通过仿真验证,该接收器具有正确逻辑功能,功耗为 10.2 mW.

关键词:高速串行;接收器;灵敏放大器

中图分类号: TN43

文献标识码: A

文章编号: 1000—7180(2017)07—0119—04

Design of 6.25 Gb/s SerDes Receiver

TIAN Xiao, HE Yan-dong

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: In this paper, a 65 nm CMOS 6.25 Gb/s SerDes receiver is designed. Equalization is achieved by using continuous-time linear equalizer. The sampler employs a novel sense amplifier(SA), which improves the sensitivity by the conventional SA of magnitude and simultaneously solves the problem that falling edge lags rising edge the time of a gate delay; a half-rate second order clock and data recovery system is presented. Simulation results show that the receiver has the correct logic function, the power consumption is 10.2 mW.

Key words: high speed serial link; receiver; sense amplifier

1 引言

随着通信技术的高速发展,数据传输速度逐步提高,并行传输方式暴露出了越来越多的缺点,比如信道间信号的串扰、芯片引脚数目多等,因此逐渐被串行传输方式取代.

接收器是 SerDes 系统中的核心部分之一,其功能是将经过信道衰减后的高速串行信号重新准确地恢复为相对低速的并行信号.主要过程为先由均衡器实现对衰减的高速信号的均衡,再经采样器将均衡后的小信号还原成满摆幅的数字信号.最后再通过串并转换电路还原成低速的并行信号输出,整个过程中还包括了时钟数据的恢复.由于接收器具有如此重要的作用,如何设计出高速、低功耗、低误码率的接收器一直都是业界关注的研究热点.

本文设计了一款采用半速结构的数据传输速度为 6.25 Gb/s 的 SerDes 接收器,具体分析了接收器的各子电路模块.

2 系统结构

SerDes 接收器电路结构如图 1 所示,主要包括均衡器、灵敏放大器、时钟数据恢复模块等部分.其中均衡器采用负反馈电阻可调的连续时间线性均衡器;采样器提出了一种新型的灵敏放大器,可以将传统灵敏放大器的灵敏度提升一个量级,从而提升时钟恢复电路的判决精度,同时也解决了传统灵敏放大器因下降沿滞后于上升沿导致的输出数据占空比不理想的问题;考虑到 CDR 中采用数字电路可以减小功耗和面积,时钟数据恢复电路采用基于相位插值器的二阶数字 CDR 结构^[1].

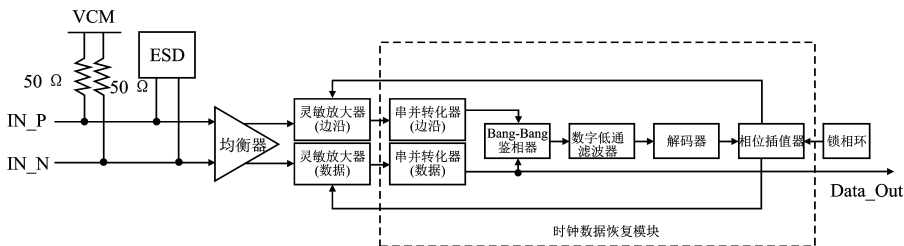


图 1 SerDes 接收机系统机构

3 子电路设计

3.1 均衡器

结合本设计 6.25 Gb/s 的目标速度,均衡电路采用连续时间线性均衡器(CTLE),同判决反馈均衡器、无源高通均衡器等结构相比,CTEL 具有面积较小、功耗较低的优点.考虑到实际工作中为适应不同信道长度的衰减情况,将 CTLE 中的负反馈电阻设计成可编程电阻阵列,从而通过控制字调整均衡器的均衡能力.最后为了适当减轻下级电路采样器的灵敏度设计难度,在典型 RC 负反馈均衡电路^[2]后接差分放大器,从而放大输出信号幅度.均衡器整体电路结构图如图 2 所示.

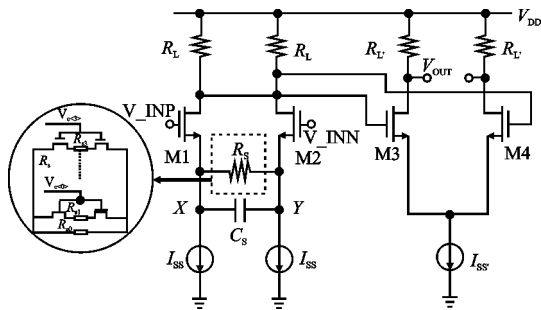


图 2 均衡电路结构图

3.2 采样器

衰减信号经过均衡器补偿后传输到采样电路进行采样,在本设计中采样电路使用灵敏放大器,因为灵敏放大器既可以对数据和数据边沿进行采样,又可将差分小信号转化为满摆幅信号输出至下级电路.时钟恢复电路就是通过比较采样器的输出结果(数据信息和边沿信息)来调节时钟相位.

由于边沿处的信号摆幅相对于数据中部本身比较小,要实现对边沿的准确采样就要求灵敏放大器的灵敏度越高越好,提高灵敏度首先会令时钟数据对应关系的判断更加准确,其次也会大大减小数据采样过程中误码的出现,从而减小误码率.所以设计一款高灵敏度的灵敏放大器具有重

要的研究意义.

传统灵敏放大器结构如图 3 所示^[3],第一部分是脉冲产生器,第二部分是 SR 锁存器.其主要存在如下两个缺点.

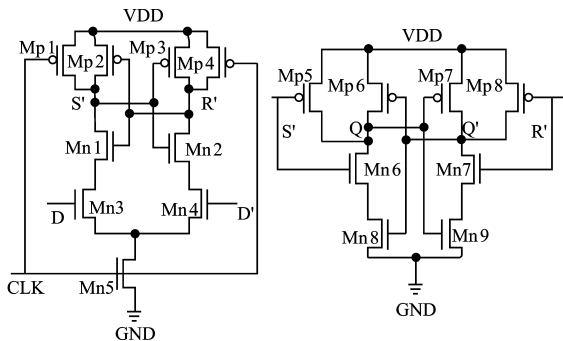


图 3 传统灵敏放大器结构

(1)灵敏度不高.这是因为求值精度本应仅依赖于差分输入来判决,但在传统结构中,第二级 SR 锁存器在开始求值瞬间对第一级脉冲产生器 S' 和 R' 两个节点的负载中存在着两个完全不同工作状态的负载管,导致负载不对称,这会严重制约灵敏放大器的灵敏度.如图 3 第二级结构所示,在求值前一瞬间, S' 节点和 R' 节点均被预充到高电平,故 Mn6 和 Mn7 的栅电压都已经置位到高电平,SR 锁存器的性质决定了 Mn8 和 Mn9 一个导通而另一个截止,所以 Mn6 和 Mn7 一个处于导通状态而另一个处于截止状态,此时 Mn6 和 Mn7 的 Cgs 和 Cgd 差异很大,进而导致两个管子总的栅电容相差很大,使本应对称的负载不再匹配.

(2)输出占空比不理想.传统结构中,当灵敏放大器开始置位时,如果输出翻转, Q 和 Q' 节点的上拉通路会马上开始,当上拉节点充电后,下拉通路方才开启,因此下降沿延迟总是滞后于上升沿延迟一个门延迟的时间.举例来看,当 S' 被置为高电平, R' 被置为低电平,如果此时 Q 为高电平,那么 Mp8 导通, Q' 先被充电到高电位,驱动 Mn8 导通,进而形成 Q 节点一侧的下拉通路, Q 点被放电至低电位.该过程中, Q 的下拉总会滞后于 Q' 的上拉,输出节点

Q 和 Q' 的波形无论是“0”和“1”,占空比都不理想.因为下降沿延迟滞后上升沿延迟一个门延迟,所以高电平所占时间大于低电平所占时间.由于占空比的差异会随传输速率而同步增加,在高速情况下占空比差异将会变得更大,对于高速数据通信来说,这是十分严重的缺陷,由于输出信号的占空比不理想,限制了后级电路的采样裕度,使采样过程达不到后级电路对建立时间和保持时间的要求.

对于传统灵敏放大器上升沿和下降沿不对称的缺陷,Borivoje Nikolic' 在 JSSC 上设计了一种优化的 SR 锁存器结构^[4],优化结构在保证 SR 锁存器逻辑不变的基础上,使上拉过程和下拉过程同时进行.但是该结构仍无法解决求值瞬间 S' 和 R' 负载不对称的问题,灵敏度不高的问题仍存在.

针对传统灵敏放大器和优化结构的不足,本文设计了一种新型的灵敏放大器,兼具输出沿对称和高灵敏度的优点.新型灵敏放大器第一级与传统结构相同,第二级锁存器如图 4 所示,将上拉通路和下拉通路分开设计在两侧,两个反相器构成的锁存通路位于中间.

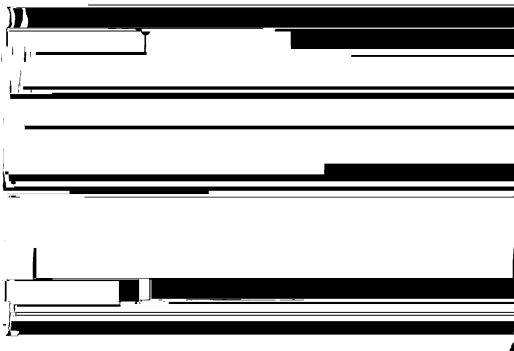


图 4 新型灵敏放大器

新结构具体工作过程:时钟为低电平时,第一级脉冲产生器将 S' 和 R' 预充至高电平,此时 Mn1, Mn2, Mp1, Mp2 关闭,第二级锁存器处于锁存状态;时钟为高电平时,第一级脉冲产生器开始求值判决, S' 和 R' 分别被置于高电平和低电平,比如 S' 为高电平, R' 为低电平, Mn1 和 Mp2 开启, Mp1 和 Mn2 截止,由此上拉过程和下拉过程同步进行,锁存器处于置位状态,两级电路协同工作形成完整的采样放大过程.

相比于传统结构,新结构的上拉过程和下拉过程都是独立的,从而实现了上升沿下降沿对称化,同时其利用反相器作为第一级负载使得该灵敏放大器第一级判决瞬间有着理论上完全对称的负载,使灵

敏度大大地改善,从而使该结构兼具对称的输出沿和优异的灵敏度.

3.3 时钟数据恢复模块

接收器采用基于相位插值器的二阶数字 CDR 结构,主要框架如图 1 中虚线框部分所示,包括串并转换器、Bang-Bang 鉴相器、解码器、数字低通滤波器、相位插值器等.考虑到节约面积和减小功耗,串并转换器采用树形结构,由 2 个 2:16 串并转换电路构成,最终实现接收器输出 16 位低速并行数据. Bang-Bang 鉴相器根据串并转换器输出信号中的数据 and 边沿信息进行相位超前或滞后判断^[5],数字低通滤波器对 Bang-Bang 鉴相器判断结果进行分析处理,生成调整时钟相位的控制字传送至解码器,解码器对控制字再进行编码,相位插值器根据解码器编码对 4 相时钟进行相位调整,最后将调整后的 4 相时钟信号反馈回采样电路,从而构成时钟数据恢复模块.

4 仿真结果

本接收器基于 65 nm CMOS 工艺实现, tt 工艺角下,均衡器频率响应曲线如图 5 所示.可以看到最大均衡强度为 12.3 dB,仿真所用输入数据为 6.25 Gb/s 的 PRBS11,均衡前后眼图情况如图 6 所示.经过均衡后,信号质量得到了恢复,眼图从基本闭合到充分睁开.

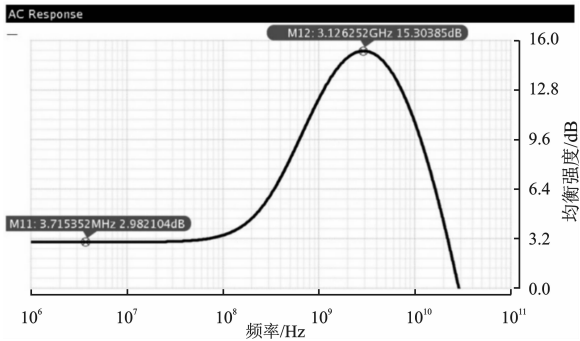


图 5 均衡器频率响应曲线

灵敏放大器仿真结果如图 7 和表 1 所示. 如图 所示,本文提出的灵敏度相比于其他结构,灵敏度提升了一个量级,当数据传输速度提升至 10 Gb/s 时,新结构仍具有很高的灵敏度,同时新结构兼具对称的输出沿即均衡的占空比,解除了限制电路速度的瓶颈.

经测试,本接收器总功耗为 10.2 mW,各模块具体功耗如表 2 所示.

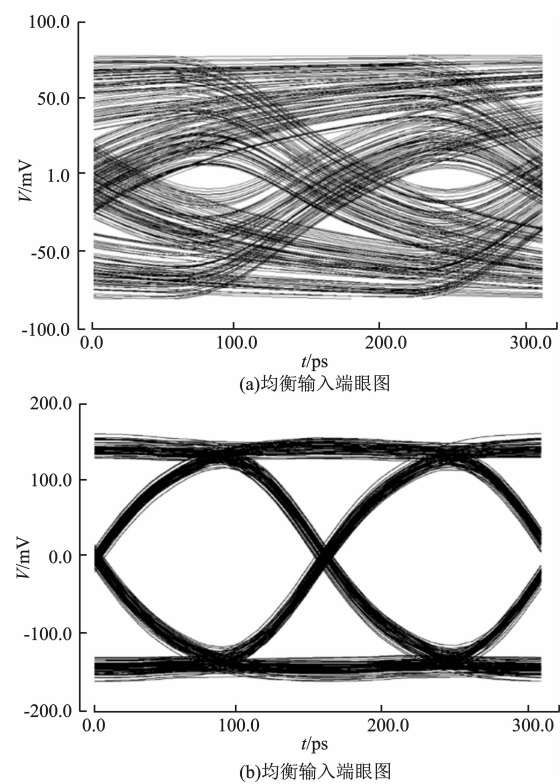


图 6 均衡前后眼图对比
表 1 灵敏度仿真结果对比

	文献[3]	文献[2]	本文
工艺/nm	65	65	65
晶体管数目	17	25	25
上升沿延迟/ps	53	55	65
下降沿延迟/ps	72	56	64
6.25 Gb/s 灵敏度/mV	6	3	0.5
10 Gb/s 灵敏度/mV	12	7	1

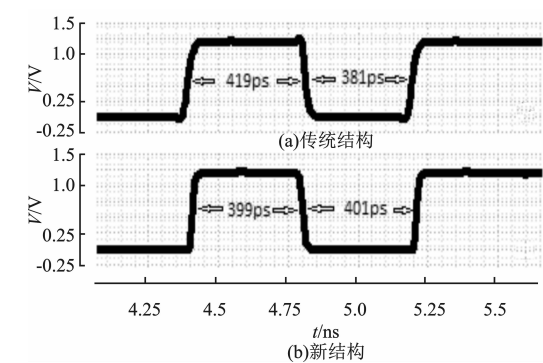


图 7 传统结构与新结构占空比对比
表 2 接收器主要模块功耗

	均衡器	采样器	串并转换器	相位插值器	时钟数据恢复模块
功耗/mW	1.1	0.6	0.95	5.8	1.75*

* CDR 部分功耗与具体工作模式有关,此处展示的是追踪固定相位偏差 0×10^{-6} 时的功耗.

5 结束语

本文设计了一款基于 65 nm CMOS 工艺的 SerDes 接收器,接收器采用半速结构,传输速度为 6.25 Gb/s. 其中均衡电路采用传统 RC 负反馈均衡结构后接差分放大器的级联结构,增大了均衡强度,同时为适应信道不同长度将负反馈电阻设置成可调. 采样器提出了一种新型灵敏放大器,可以使输出信号占空比完美,同时将灵敏度较传统结构提升一个量级,大大提高了时钟数据恢复电路的准确性,降低了误码率. 仿真结果显示,该接收器逻辑功能正确,可以稳定工作在 6.25 Gb/s,总功耗为10.2 mW.

参考文献:

[1] He Mike Yun, John Poulton. A CMOS mixed-signal clock and data recovery circuit for OIF CEI-6G + backplane transceiver [J]. IEEE J. Solid-State Circuits, 2006, 41(3): 597-606.

[2] Gondi Srikanth, Behzad Razavi. Equalization and clock and data recovery techniques for 10-Gb/s CMOS serial-link receivers [J]. IEEE J. Solid-State Circuits, 2007,42 (9) : 1999-2011.

[3] Matsui M, Hara H , Uetani Y ,et al. A 200 MHz 13 mm 2-D DCT macrocell using sense amplifying pipeline flip-flop scheme [J]. IEEE J. Solid-State Circuits, 1994,29: 1482-1490.

[4] Nikolic B, OklobdzijiaV , Stojanovic V, et al. Improved sense-amplifier based flip-flop: design and measurements [J]. IEEE J. Solid-State Circuits, 2000,35(6): 876-883.

[5] Sonntag Jeff L , John Stonick. A digital clock and data recovery architecture for multi-gigabit/s binary links [J]. IEEE J. Solid-State Circuits, 2006, 41 (8): 1867-1875.

作者简介:

田 啸 男,(1986-),硕士研究生.研究方向为高速 SerDes 设计. E-mail:anjing_man@163.com.

何燕冬 女,(1967-),教授,博士生导师.研究方向为可靠性电路设计.